

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-250885

(43)Date of publication of application : 14.09.2001

(51)Int.Cl.

H01L 23/12  
H01G 4/33  
H01G 4/12  
H05K 1/05  
H05K 1/09  
H05K 1/16

(21)Application number : 2000-063282

(22)Date of filing : 03.03.2000

(71)Applicant : HITACHI LTD

(72)Inventor : MATSUZAKI EIJI  
SHIGI HIDETAKA  
ABE YOICHI  
MATSUSHIMA NAOKI  
HASEBE TAKEHIKO

## (54) CIRCUIT SUBSTRATE WITH BUILT-IN CAPACITOR AND SEMICONDUCTOR DEVICE USING THE SAME

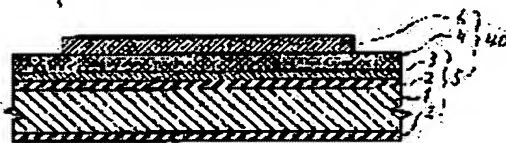
## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit substrate with a built-in capacitor, where a high dielectric layer consisting of perovskite structural oxide or the like is used and an Fe-base conductive member is used as a base substrate, at a low cost.

SOLUTION: A first conductive layer formed of a high melting point metal such as Cr, a second conductor layer with a layer formed of conductive oxide or noble metal, a dielectric layer and a third electrode layer are laminated one by one on a base substrate consisting of an Fe-base conductive member, and a capacitor is formed. After a capacitor is formed, a base substrate is processed and a via electrically connecting front and rear surfaces is formed, thus obtaining a circuit substrate which is proper for an interposer. A capacitor is used as a decoupling capacitor by connecting a first electrode formed of a base substrate to a ground terminal and a counter electrode to a power supply terminal.

【図1】

1000



1...基板、2...第1の導電性層、3...第2の導電性層  
4...誘電体層、5...第3の電極層、6...形成の電極層  
40...電圧パルス、1000...形成部

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-250885

(P2001-250885A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) IntCl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 23/12		H 0 1 G 4/12	3 9 4 4 E 3 5 1
H 0 1 G 4/33		H 0 5 K 1/05	A 5 E 0 0 1
	3 9 4		Z 5 E 0 8 2
H 0 5 K 1/05		1/09	C 5 E 3 1 5
		1/16	D
審査請求 未請求 請求項の数 8 O L (全 13 頁) 最終頁に続く			

(21) 出願番号 特願2000-63282(P2000-63282)

(22) 出願日 平成12年3月3日 (2000.3.3)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 松崎 永二

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72) 発明者 志儀 英孝

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 キャパシタ内蔵回路基板及びそれを用いた半導体装置

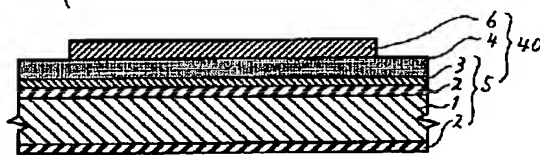
(57) 【要約】

【課題】ベロブスカイト構造酸化物等からなる高誘電体層を用いたキャパシタを内蔵し、かつF eを主成分とする導電性部材をベース基板に用いた回路基板を低コストで提供する。

【解決手段】F eを主成分とする導電性部材からなるベース基板上に、C r等の高融点金属からなる第1の導電体層、導電性酸化物あるいは貴金属からなる層を有する第2の導電体層、誘電体層、第3の電極層を順次積層してキャパシタを形成する。キャパシタを形成した後にベース基板を加工し、表裏面を電気的に接続するビアを形成することによりインターポーザに適した回路基板とする。ベース基板からなる第1の電極を接地端子に、対向電極を電源端子に接続することにより、キャパシタをデカップリングキャパシタとして用いる。

【図1】

1000



1…ベース基板、2…第1の導電体層、3…第2の導電体層  
4…誘電体層、5…第1の電極層、6…第2の電極層  
40…キャパシタ、1000…回路基板

## 【特許請求の範囲】

【請求項1】導電性部材からなるベース基板の少なくとも一方の主表面上に、第1の導電体層と、少なくとも1層以上の導電性薄膜層からなる第2の導電体層と、少なくとも1層以上の層からなる誘電体層と、少なくとも1層以上の導電性薄膜層からなる第3の導電体層と、が順次積層され、前記ベース基板および前記第1の導電体層および前記第2の導電体層により第1の電極を構成し、前記第3の導電体層により第2の電極を構成し、前記第1の電極と前記第2の電極により前記誘電体層を挟んでなるキャパシタが設けられた回路基板であって、前記ベース基板が、少なくともニッケル(Ni)、クロム(Cr)、コバルト(Co)、アルミニウム(Al)のいずれかを含む鉄(Fe)系合金から構成され、かつ、前記第1の導電体層が、1000℃以上の融点を有する高融点金属あるいはその窒化物により構成され、かつ、前記第2の導電体層の前記誘電体層と接触する導電性薄膜層が、導電性酸化物あるいは貴金属により構成されることを特徴とするキャパシタ内蔵回路基板。

【請求項2】導電性部材からなるベース基板の第1の主表面および第2の主表面の2つの主表面上に、第1の導電体層と、少なくとも1層以上の導電性薄膜層からなる第2の導電体層と、少なくとも1層以上の層からなる誘電体層と、少なくとも1層以上の導電性薄膜層からなる第3の導電体層とが順次積層され、前記ベース基板および前記第1の導電体層および前記第2の導電体層により第1の電極を構成し、前記第3の導電体層により第2の電極を構成し、前記第1の電極と前記第2の電極により前記誘電体層を挟んでなるキャパシタが設けられた回路基板であって、前記ベース基板が、少なくともMo、Cr、Co、Alのいずれかを含むFe系合金から構成され、かつ、前記第1の導電体層が、1000℃以上の融点を有する高融点金属あるいはその窒化物により構成され、かつ、前記第2の導電体層の前記誘電体層と接触する導電性薄膜層が、導電性酸化物あるいは貴金属により構成され、かつ、前記ベース基板の第1の主表面上に設けられたキャパシタと第2の主表面上に設けられたキャパシタの前記第2の電極同士が、前記ベース基板内に絶縁層を介して設けられた導電性ビアによって電気的に接続されることを特徴とするキャパシタ内蔵回路基板。

【請求項3】前記第2の導電体層を構成する導電性薄膜層の少なくとも1つの層が、ディップコーティング法、スピンコーティング法、スプレーコーティング法、ロールコーティング法、フローコーティング法のいずれかの方法により形成されていることを特徴とする請求項1または2に記載のキャパシタ内蔵回路基板。

【請求項4】前記第1の導電体層を構成する高融点金属が、クロム(Cr)、チタン(Ti)、ニッケル(Ni)、タングステン(W)、タンタル(Ta)、モリブデン(Mo)の何れかであることを特徴とする請求項1乃至3の何れか

に記載のキャパシタ内蔵回路基板。

【請求項5】前記第2の導電体層を構成する導電性酸化物が、酸化インジウム、酸化スズ、酸化インジウム・酸化スズ混合物、酸化亜鉛、酸化ルテニウム、酸化ロジウム、酸化レニウム、酸化イリジウム、酸化オスミウム、バリウム(Ba)とカルシウム(Ca)とストロンチウム(Sr)の少なくとも1つの元素とチタン(Ti)と酸素(O)からなるペロブスカイト構造酸化物(Ba, Ca, Sr)TiO<sub>x</sub> (但し、x<3)の中から選ばれた材料であることを特徴とする請求項1乃至4の何れかに記載のキャパシタ内蔵回路基板。

【請求項6】前記誘電体層が、SrTiO<sub>3</sub>、(Ba, Sr)TiO<sub>3</sub>、BaTiO<sub>3</sub>、(Pb, La)(Zr, Ti)O<sub>3</sub>、Pb(Zr, Ti)O<sub>3</sub>、PbTiO<sub>3</sub>、Pb(Mg<sub>1-x</sub>Nb<sub>2x-1</sub>)O<sub>3</sub>等のペロブスカイト構造酸化物の中から選ばれた少なくとも1つ以上の材料により構成されることを特徴とする請求項1乃至5の何れかに記載のキャパシタ内蔵回路基板。

【請求項7】前記第1の電極に接続された少なくとも1つ以上の実装用接続端子と、前記第2の電極に接続された少なくとも1つ以上の実装用接続端子が設けられていることを特徴とする請求項1乃至7の何れかに記載のキャパシタ内蔵回路基板。

【請求項8】導電性部材からなるベース基板の少なくとも一方の主表面上に、第1の導電体層と、少なくとも1層以上の導電性薄膜層からなる第2の導電体層と、少なくとも1層以上の層からなる誘電体層と、少なくとも1層以上の導電性薄膜層からなる第3の導電体層とを備え、前記ベース基板および前記第1の導電体層および前記第2の導電体層によりなる第1の電極が第1の実装用接続端子に接続され、かつ前記第3の導電体層によりなる第2の電極が第2の実装用接続端子に接続されてなり、該第1の実装用接続端子または第2の実装用接続端子の他端が配線基板、あるいは/かつ、半導体チップに接続され、前記第1の電極と前記第2の電極とを電源層と接地層の何れかに接続されていることを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はキャパシタ内蔵の回路基板に係わり、特に、鉄を主成分とする導電性部材からなるベース基板上に形成したキャパシタを内蔵させた回路基板に関する。

【0002】

【従来の技術】最近、半導体チップでは、集積回路素子(以下、ICと呼ぶことにする)の高密度化が進むとともに動作速度は年々上昇している。また、ICの集積度が上がり半導体チップ内の素子数が増大すると、消費電力を抑制するため、電源電圧が低下する傾向にある。

【0003】そこで、上記したIC回路の高密度化、高

速化、低電力化に対応して、半導体チップをのせる回路基板に搭載するキャパシタ等の受動回路部品には、その小型・大容量化、更には優れた高周波応答特性が求められている。

【0004】また、ICの動作速度の上昇あるいは電源電圧の低減によって、半導体チップ内部で発生するスイッチングノイズがICの誤動作を引き起こす要因としてクローズアップされてきた。

【0005】このスイッチングノイズの低減には接地端子と電源端子の間にデカップリングキャパシタを設けることが有効であって、用いられるキャパシタの性能として、ICの高密度化、動作速度上昇に対応可能な大容量及び低インダクタンスの特性が求められている。

【0006】ところで、キャパシタの容量密度増大及び低インダクタンス化には、誘電体層の膜厚低減が有効であり、これは上述した電源電圧低減の方向にも適合する。更にまた、ベロブスカイト構造酸化物等の高い誘電率を示す材料を誘電体層へ適用することが有効である。

【0007】誘電体層が薄く、低インダクタンス化に有効な薄膜誘電体層を用いた薄膜キャパシタをデカップリングキャパシタとして内蔵させた中間基板(インターポーザ、あるいは半導体チップキャリア)が特開平6-318672号公報及び特開平9-213835号公報に開示され、また配線基板として、特開平6-275960号公報及び特開平7-30257号公報等で提案されている。

【0008】一方、薄膜キャパシタの容量を増大させるため、高い誘電率を示すベロブスカイト構造酸化物の誘電体層への適用も提案され、特開平9-202621号公報や特開平10-335179号公報には、1000MHzの周波数において2500以上の比誘電率を示す材料が開示されている。

【0009】更に、導電性の基板を用いてキャパシタを構成する電極部の抵抗を低くすることによりキャパシタのインダクタンスを低減する方法が特開平8-88318号公報で述べられている。

【0010】ところで従来より、薄膜キャパシタを形成するためのベース基板や薄膜キャパシタを内蔵させたインターポーザのベース基板として、アルミナやガラスセラミック(ホウケイ酸系ガラス、コーゼライト系ガラス、アノサイト系ガラス等から構成される)、ムライト系セラミック、等のセラミック系基板が主に用いられてきた。この他のベース基板として、有機または無機ポリマ、ポリイミド-エポキシ、エポキシ-ファイバガラス、テフロン、シリコン等の材料が特開平6-318672号公報に、またモリブデン(Mo)やタンタル(Ta)、タングステン(W)等の導電性部材が特開平8-88318号公報に公開されている。

【0011】

【発明が解決しようとする課題】セラミック系基板の場合、その表面は必ずしも平滑、平坦ではない。そのため、その表面にキャパシタを形成する場合、誘電体層を厚く形成する必要があり、誘電率の高い材料を用いても容量密度が高く、インダクタンス成分が少ないキャパシタを得ることは困難である。

【0012】誘電体層を薄くすることにより容量密度を増大させてインダクタンス成分を低減するためには、セラミック系基板の表面の平滑化が必要となる。しかし、セラミック系基板表面の平滑化は、その表面にボイド等が存在するため困難である。そこで、セラミック系基板表面の平滑化のために、ポリイミド等の有機系絶縁樹脂やグレースドガラスを用いるのも一つの方法だが、その耐熱性や機械特性、化学特性によって採用できる誘電体材料やプロセスが制限を受け、十分な容量を有するキャパシタ内蔵の回路基板が得られるとは限らない。

【0013】たとえば、高い誘電率を示すベロブスカイト構造酸化物を誘電体層としたキャパシタでは、その特性を十分引き出すためには、600℃以上の高温プロセスを酸化性の雰囲気で行うことが必要である。従って、有機系絶縁樹脂やグレースドガラスを600℃以上の高温プロセスに適用することが困難であるため、有機系絶縁樹脂やグレースドガラスを下地とした場合、十分な容量密度を有するキャパシタを内蔵する回路基板を得ることは難しい。また、上記ベロブスカイト構造酸化物の場合、上記高温プロセスの中に昇温速度が大きいRTA(Rapid Thermal Annealing)プロセスが含まれることも多く、セラミック系ベース基板ではクラックが発生しやすい。さらに、セラミック系ベース基板内の導電性ビアがCuやW等の酸化性雰囲気での耐熱性に乏しい材料から構成されている場合にも、酸化性雰囲気における高温プロセスを適用できない。

【0014】以上述べたように、セラミック系材料をベース基板とした場合、高い誘電率を示すベロブスカイト構造酸化物からなる誘電体層を用いても、誘電体材料に見合った容量を有するキャパシタを内蔵させた回路基板を得ることは困難である。

【0015】有機(または無機)ポリマ、ポリイミド-エポキシ、エポキシ-ファイバガラス、テフロン(登録商標)等の有機系絶縁樹脂基板をベース基板にした場合、その耐熱性や機械的特性によって適用できる誘電体材料やプロセスが制限を受け、必ずしも所望する特性を有するキャパシタを内蔵する回路基板が得られるとは限らない。

【0016】この理由は、既に述べたように、有機系絶縁樹脂基板が耐熱性に乏しく、600℃以上の高温プロセスの適用が困難であることから、高い誘電率を示すベロブスカイト構造酸化物からなる誘電体層を用いたキャパシタにおいても、誘電体材料に見合った容量が得られないからである。

【0017】以上の問題を解決するベース基板材料とし

【0017】以上の問題を解決するベース基板材料とし

て、特開平8-88318号公報で提案されているモリブデン(Mo)やタンタル(Ta)、タングステン(W)等の高融点金属からなる金属板がある。これらをベース基板とすることにより600℃以上の高温プロセスを適用することができる。さらに、特開平8-88318号公報によれば、これらの高融点金属を一方の電極に用いることにより等価直列抵抗の小さな薄膜キャパシタを得ることができる。

【0018】この公知例では、高融点金属からなるベース基板の酸化を防止するために白金(Pt)を設けているが、導電性ベース基板上に形成した場合の薄膜キャパシタの短絡防止については、特別な考慮はされていない。また、ベース基板とは電氣的に分離されたビアをベース基板内に設けることにより、ベース基板の両面にキャパシタを形成することにより内蔵キャパシタの容量を増大させたり、インターポーザとして利用することに関しては何ら考慮されていない。従って、実際のプロセスとして、MoやTa、W等の金属を使用する場合、スルーホールやビアを低コストで形成することは甚だ困難であると言わざるを得ない。また、上記高融点金属材料からなるベース基板は必ずしも安価ではない。

【0019】そこで、本発明の第1の目的は、MoやTa、Wより安価な鉄(Fe)を主成分とする導電性部材をベース基板とし、高い温度の熱プロセスを必要とするペロブスカイト構造酸化物等の誘電率の高い誘電体層を用いたキャパシタを内蔵させることのできる回路基板の構造を提供することにある。

【0020】本発明の第2の目的は、MoやTa、Wより安価なFeを主成分とする導電性部材をベース基板とし、高い温度の熱プロセスを必要とするペロブスカイト構造酸化物等の誘電率の高い誘電体層を用いたキャパシタを内蔵させることのできる、インターポーザに適した、回路基板を提供することにある。

【0021】本発明の第3の目的は、上記回路基板に内蔵させたキャパシタをデカップリングキャパシタとして用いることにより、スイッチングノイズを低減できる半導体装置を提供することにある。

【0022】

【課題を解決するための手段】本発明は、導電性部材からなるベース基板の少なくとも一方の主表面上に、第1の導電体層と、少なくとも1層以上の導電性薄膜層からなる第2の導電体層と、少なくとも1層以上の層からなる誘電体層と、少なくとも1層以上の導電性薄膜層からなる第3の導電体層とが順次積層され、前記ベース基板および前記第1の導電体層および前記第2の導電体層により第1の電極を構成し、前記第3の導電体層により第2の電極を構成し、前記第1の電極と前記第2の電極により前記誘電体層を挟んでなるキャパシタが設けられた回路基板であって、前記ベース基板が、少なくともニッケル(Ni)、クロム(Cr)、コバルト(Co)、アルミニ

ウム(Al)のいずれかを含む鉄(Fe)系合金から構成され、かつ、前記第1の導電体層が、1000℃以上の融点を有する高融点金属あるいはその窒化物により構成され、かつ、前記第2の導電体層の前記誘電体層と接触する導電性薄膜層が、導電性酸化物あるいは貴金属により構成される、請求項1に記載のキャパシタを内蔵した回路基板によって達成される。

【0023】すなわち、キャパシタを形成するベース基板を、少なくともNi、Cr、Co、Alのいずれかを含むFe系合金から構成することにより、ベース基板をMoやTa、Wとした場合に比べ安価にできる。そして、Fe系合金からなるベース基板に起因するキャパシタの短絡は、1000℃以上の融点を有する高融点金属あるいはその窒化物からなる第1の導電体層と、誘電体層と接触する導電性薄膜層が導電性酸化物あるいは貴金属により構成される第2の導電体層によって前記ベース基板を被覆することにより防止している。

【0024】この理由は、第1の導電体層と第2の導電体層からなる積層膜の被覆によってベース基板の表面凹凸が軽減されとともに、酸化によるベース基板表面の粗面化が防止できるからである。発明者らの実験によれば、特開平8-88318号公報で述べられているようなPt膜のみによる被覆では、この効果を十分得ることは困難であった。欠陥の無いPt膜を得ることが困難だったからである。また、第2の導電体層の中で、誘電体層と接触する層を導電性酸化物や貴金属で構成することにより、誘電体からの酸素引き抜きを抑制し、酸素欠乏による誘電体層の膜質劣化を防止している。

【0025】また本発明は、導電性部材からなるベース基板の第1の主表面および第2の主表面の2つの主表面上に、第1の導電体層と、少なくとも1層以上の導電性薄膜層からなる第2の導電体層と、少なくとも1層以上の層からなる誘電体層と、少なくとも1層以上の導電性薄膜層からなる第3の導電体層とが順次積層され、前記ベース基板および前記第1の導電体層および前記第2の導電体層により第1の電極を構成し、前記第3の導電体層により第2の電極を構成し、前記第1の電極と前記第2の電極により前記誘電体層を挟んでなるキャパシタが設けられた回路基板であって、前記ベース基板が、少なくともNi、Cr、Co、Alのいずれかを含むFe系合金から構成され、かつ、前記第1の導電体層が、融点が1000℃以上の高融点金属あるいはその窒化物により構成され、かつ、前記第2の導電体層の前記誘電体層と接触する層が、導電性酸化物あるいは貴金属により構成され、かつ、前記ベース基板の第1の主表面上に設けられたキャパシタと第2の主表面上に設けられたキャパシタの前記第2の電極同士が、前記ベース基板内に絶縁層を介して設けられた導電性ビアによって電氣的に接続して、キャパシタ内蔵の回路基板を形成する。

【0026】すなわち、上記したキャパシタをベース基

板の表裏両面に形成し、表裏面に形成したキャパシタの第2の電極同士をベース基板内に設けた導電性ビアによって電氣的に接続したものである。これにより、第1の主表面側のキャパシタと第2の主表面側のキャパシタが並列接続されることになり、回路基板に内蔵させるキャパシタの容量を大きくすることができる。

【0027】更にまた、上記した回路基板において、第2の導電体層を構成する導電性薄膜層の少なくとも1つの層が、ディップコーティング法、スピンコーティング法、スプレーコーティング法、ロールコーティング法、フローコーティング法のいずれかの方法により形成されている。これによれば、第1の導電体層上に液状の原料を塗布することになり、キャパシタを形成する下地のピンホール等の欠陥の修復や表面凹凸の軽減が有効的に行われる。このため、導電性部材からなるベース基板上に形成したキャパシタの下地欠陥に起因した短絡を防止できる。

【0028】本発明は、上記した回路基板において、第1の導電体層を構成する高融点金属を、Cr、Ti、Ni、W、Ta、Moのいずれかより選択して用いられ、これらの材料からなる薄膜層では、層内部への酸化の進行は遅く、酸素欠乏状態の酸化物は電気伝導性を示す。これにより、第1の電極の抵抗増加を抑制しながら、ベース基板の酸化による粗面化を防止できる。

【0029】そしてまた、第2の導電体層を構成する導電性酸化物が、酸化インジウム、酸化スズ、酸化インジウム・酸化スズ混合物、酸化亜鉛、酸化ルテニウム、酸化ロジウム、酸化レニウム、酸化イリジウム、酸化オスミウム、バリウム(Ba)とカルシウム(Ca)とストロンチウム(Sr)の少なくとも1つの元素とチタン(Ti)と酸素(O)からなるペロブスカイト構造酸化物(Ba, Ca, Sr)TiO<sub>x</sub> (ただし、x<3)の中から選ばれた材料から構成されている。

【0030】これにより、酸素引き抜きによる酸化物誘電体層の膜質劣化や第1の導電体層の酸化が抑制される。その理由は、この層の存在により、誘電体層側から第1の導電体層側への酸素の拡散が抑制されるからである。

【0031】本発明は、回路基板に内蔵させるキャパシタの誘電体層を、SrTiO<sub>3</sub>、(Ba, Sr)TiO<sub>3</sub>、BaTiO<sub>3</sub>、(Pb, La)(Zr, Ti)O<sub>3</sub>、Pb(Zr, Ti)O<sub>3</sub>、PbTiO<sub>3</sub>、Pb(Mg<sub>1/2</sub>, Nb<sub>1/2</sub>)O<sub>3</sub>、等のペロブスカイト構造酸化物の中から選んだ少なくとも1つ以上の材料により構成した。

【0032】また本発明は、第1の電極に接続された少なくとも1つ以上の実装用接続端子と、第2の電極に接続された少なくとも1つ以上の実装用接続端子が設けられ、この実装端子に半導体チップを接続することにより、IC素子近傍にデカップリングキャパシタの配設を行うことができる。

【0033】そして、回路基板の実装用接続端子を配線基板、あるいは/かつ、半導体チップに接続し、上記第1の電極と上記第2の電極を電源層と接地層のいずれかに利用したものである。これにより、大容量のデカップリングキャパシタを半導体チップに近接して配置することができ、半導体装置の実装密度を低下させることなくスイッチングノイズを低減できる。

【0034】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて詳細に説明する。

【0035】図1は、第1の実施の形態を要部断面図で示したものである。図において、1000は本実施例を適用した回路基板を、40はキャパシタを、1は42アロイ合金(約42%のNiを含むFe系合金)からなるベース基板を、2はCr膜からなる第1の導電体層を、3は酸化インジウム・酸化スズ混合物(Indium Tin Oxide, 以下ITOと略す)からなる第2の導電体層を、4は(Ba, Sr)TiO<sub>3</sub>からなる誘電体層を、5はベース基板1および第1の導電体層2および第2の導電体層3からなるキャパシタ40の第1の電極層を、6はCr/Cu/Cr積層膜からなるキャパシタ40の第2の電極層を、示す。なお、この図では、薄膜層によって構成される部分の詳細をわかりやすくするため、符号2~6で示した部分を拡大した。特に、膜厚方向を拡大した。

【0036】この実施の形態では、ベース基板1として42アロイ合金を用い、キャパシタ40を形成するベース基板1の主表面をCrからなる第1の導電体層2とITOからなる第2の導電体層3の積層膜により被覆している。この点が本発明を適用したところである。かかる構成により、42アロイ合金のように酸化のされやすいFe系合金をベース基板1として用いた場合にも、温度の高い熱プロセスにより形成したペロブスカイト構造酸化物等の高い誘電率を有する誘電体層を用いたキャパシタを内蔵させることのできる回路基板を提供している。

【0037】本実施の形態では、(Ba, Sr)TiO<sub>3</sub>を誘電体層として用いているが、この誘電体層の性能を引き出すためには、酸化性雰囲気における600℃以上の熱処理が必要となる。しかし、この条件に晒されると、42アロイは酸化され、その表面凹凸が増大する。その結果、42アロイからなるベース基板1上に形成したキャパシタが短絡してしまう。

【0038】本実施の形態では、42アロイからなるベース基板1をCrからなる第1の導電体層2とITOからなる第2の導電体層3の積層膜で被覆することにより、42アロイベース基板1上に形成したキャパシタ40の短絡を防止している。すなわち、Crからなる第1の導電体層2とITOからなる第2の導電体層3の積層膜により42アロイベース基板の酸化を防止している。CrはITOからの酸素の拡散により酸化するが、電気伝導性は失われず、第1の電極層5の抵抗増加はほとんど

ど認められない。また、第2の導電体層3に用いたITOが酸化物であるため、誘電体層4側から第1の導電体層2側への酸素の拡散が抑制され、酸素欠乏による誘電体層の膜質劣化を防止できる。

【0039】尚、発明者らの実験では、42アロイ合金からなるベース基板1をITOやCr、Pt等の単一薄膜層で被覆したのみでは、42アロイベース基板1上に形成したキャパシタの短絡防止の効果は小さなものであった。

【0040】本実施の形態の効果を得るためには、第1の導電体層2としては、誘電体層形成プロセス(成膜、熱処理含む)耐性とその酸化物が酸素欠乏状態では電気伝導性を示すことが必要である。すなわち、Cr、Ti、Ni、W、Ta、Mo等の1000℃以上の融点を有する高融点金属が第1の導電体層2として好ましい。

【0041】Pt等の貴金属も第1の導電体層2として有効であるが、高価であり、その加工プロセスもCr、Ti、Ni、W、Ta、Mo等の高融点金属に比べて難しく、また、下地との密着性に問題がある。

【0042】第2の導電体層3としては、誘電体層形成プロセス(成膜、熱処理含む)耐性があり、誘電体層4の膜質を劣化させないことが重要である。そのため、本実施の形態では、酸化物であるITOを用いているが、ペロブスカイト構造酸化物等の酸化物からなる誘電体層4から下地(下部電極)への酸素の拡散を防止できれば、ITOに限定されるものではない。すなわち、第2の導電体層3の誘電体層4と接触する層がPtをはじめとする貴金属の他、酸化インジウム、酸化スズ、酸化インジウム・酸化スズ混合物、酸化亜鉛、酸化ルテニウム、酸化ロジウム、酸化レニウム、酸化イリジウム、酸化オスミウム、バリウム(Ba)とカルシウム(Ca)とストロンチウム(Sr)の少なくとも1つの元素とチタン(Ti)と酸素(O)からなるペロブスカイト構造酸化物(Ba, Ca, Sr)TiO<sub>x</sub>。(ただし、 $x < 3$ )等の導電性酸化物であれば差し支えない。

【0043】また、本実施の形態の場合、ベース基板1として42アロイを用いているが、Feを主成分とする鉄系の合金であれば差し支えない。ここでは、シリコンチップと近い熱膨張係数(約4ppm/deg)を有していることから、ベース基板1として42アロイを選択している。しかし、少なくともNi、Cr、Co、Alのいずれかを含むFe系合金は、その組成を変更することにより熱膨張係数を調整することができ、ガリウムヒ素チップ等の半導体チップの実装基板としても適用可能になる。

【0044】なお、キャパシタ40の容量を大きくするためには、SrTiO<sub>3</sub>、(Ba, Sr)TiO<sub>3</sub>、BaTiO<sub>3</sub>、(Pb, La)(Zr, Ti)O<sub>3</sub>、Pb(Zr, Ti)O<sub>3</sub>、PbTiO<sub>3</sub>、Pb(Mg<sub>1/3</sub>Nb<sub>2/3</sub>)O<sub>3</sub>等、誘電率が高いペロブスカイト構造酸化物を誘電

体層4とするのが好ましいが、これに限定されるものではない。たとえば、タンタル酸化膜、シリコン窒化膜、シリコン酸化膜、アルミナ膜等も用いることができる。ただし、成膜や熱処理(RTAを含む)等における酸化性雰囲気での高温プロセスを考えると、ペロブスカイト構造酸化物の場合に、本発明の効果を十分に発揮することができる。

【0045】次に、第1の実施の形態の製造方法について説明する。図6は回路基板1000の製造工程の一例を要部断面図で示した工程フロー図である。以下、この図を参照にして、回路基板1000の製造工程について説明する。

【0046】(6A) ベース基板1の準備：42アロイ合金からなるベース基板1のキャパシタを形成する主表面側を研磨やマイクロダスト処理(株)ニッコーシ商標)により平滑にする。ついで、有機溶剤、アルカリ洗剤を用いて洗浄し、表面を清浄にする。

【0047】(6B) 第1の導電体層2の形成：ベース基板1の両面にスパッタリング法によりCr膜を成膜し、第1の導電体層2とする。Cr膜の膜厚は、例えば、キャパシタを形成する表面側で150nm、裏面側で300nmとする。ここで、裏面側の膜厚を大きくするのは、裏面が平滑化処理されていないことと、キャパシタ形成後の表裏面での膜応力のバランスを保つためである。

【0048】(6C) 第2の導電体層3の形成：ベース基板1のキャパシタ40を形成する表面側にITO膜をMOD法により形成する。ITO膜の膜厚は、例えば、60nmとする。

【0049】(6D) 誘電体層4の形成：第1の電極層2上に、スパッタ法等の物理的手法や化学蒸着法、ゾルゲル法、MOD法等、周知の手法を用いて200~400nmの(Ba, Sr)TiO<sub>3</sub>膜を成膜し、誘電体層4とする。次いで、酸素あるいは水蒸気等の酸化性気体を含む雰囲気において、600℃~900℃の熱処理を施し、誘電体層4の結晶性の改善を行う。この場合、必要に応じて、RTAを行う。

【0050】(6E) 第2の電極層6の形成：スパッタリング法により、100nmのCr膜と500nmのCu膜を積層したCr/Cu/Cr膜を成膜する。次いで、フォトエッチング法等の周知の手法により不要な部分を除去し、第2の電極層6からなる所定のパターンと、誘電体層4からなる所定のパターンを形成する。次に、熱処理を行い、第2の電極パターン形成工程で劣化したキャパシタ100の特性回復を行う。熱処理条件は、キャパシタ100の特性回復状況を見ながら定めればよい。尚、ここではCr/Cu/Cr積層膜を第2の電極層6として用いているが、PtやTi、ルテニウム(Ru)等別の材料を用いても差し支えない。また、成膜手法もスパッタリング法に限定されるものではないこ



とはいうまでもない。さらに、第2の電極層6の膜厚もここでの値に限定されるものではない。

【0051】以上の工程を経て、図1に示した回路基板1000が完成する。ここで示した製造方法では、工程(6C)において、MOD法によりITO膜を形成している。MOD法では、液状の原料を塗布し、それを焼成することによって膜が得られる。そのため、第1の導電体層2に存在しているピンホールやベース基板1に起因する傷、小孔が修復される。この結果、キャパシタ40の短絡を防止し、製造歩留りを高くするという本発明の効果を効果的なものとしている。この場合、液状の原料を塗布する方法として、ディップコーティング法、スピンコーティング法、ロールコーティング法、スプレーコーティング法、フローコーティング法等を用いればよい。

【0052】なお、ここでは第1の導電体層2であるCr膜の膜厚を150nm、第2の導電体層3であるITO膜の膜厚を60nmとしているが、これに限定される訳ではなく、キャパシタ40の短絡発生状況や基板の反り状態をみて定めれば差し支えない。また、誘電体層4である(Ba,Sr)TiO<sub>3</sub>膜の場合にも、膜厚を200~400nmに限定されるものではなく、必要な容量、短絡発生状況、クラック発生状況、基板の反り状態を見て、定めればよい。

【0053】以上述べてきたように、本実施の形態によれば、MoやTa、Wより安価なFeを主成分とする導電性部材をベース基板とした場合においても、高い温度プロセスによるペロブスカイト構造酸化物等の成膜が可能になり、誘電率の高い誘電体層を用いたキャパシタを内蔵させることのできる回路基板を提供できる。

【0054】次に、第2の実施の形態を図2を用いて説明する。

【0055】図2は、第2の実施の形態の回路基板を要部断面図で示したものである。図において、2000は本発明を適用した回路基板を、7はキャパシタ40上に設けられた第1の絶縁層を、8はキャパシタ40の第1の電極5に接続された端子メタライズ層(接続端子)を、9はキャパシタ40の第2の電極6に接続された端子メタライズ層(接続端子)を、10は誘電体層4の中に設けられたスルーホールを、示す。他の符号は図1の場合と同じである。図2の場合にも、薄膜層によって構成される部分の詳細をわかりやすくするため、符号2~10で示した部分を拡大した。特に、膜厚方向を拡大した。

【0056】この実施の形態は、基本的には、第1の実施の形態の回路基板1000の両面に第1の絶縁層7を形成し、第1の絶縁層7と誘電体層4の中に形成されたスルーホール10部に接端子メタライズ層8、9を設けたものである。従って、本実施の形態の場合にも、第1の実施の形態の場合と同じ効果を得ることができる。即ち、本実施の形態においても、MoやTa、Wより安価

なFeを主成分とする導電性部材をベース基板とした場合にも、高い温度プロセスを必要とするペロブスカイト構造酸化物等、誘電率の高い誘電体層を用いたキャパシタを内蔵させることのできる回路基板を提供できる。尚、第1の絶縁層7としてはポリイミドやエポキシ等の有機絶縁膜などが用いられ、端子メタライズ層としては、半田接続等を考えた場合、クロム(Cr)とニッケル(Ni)、金(Au)の積層膜、CrとNi-Cu合金の積層膜、CrとNi-W合金の積層膜、等が用いられる。

10 【0057】この実施の形態は、基本的には、第1の実施の形態の回路基板1000の両面に第1の絶縁層7を形成し、第1の絶縁層7と誘電体層4の中に形成されたスルーホール10部に接端子メタライズ層8、9を設けたものである。従って、本実施の形態の場合にも第1の実施の形態の場合と同じ効果が得られる。

【0058】即ち、本実施の形態においても、MoやTa、Wより安価なFeを主成分とする導電性部材をベース基板とし、高い温度の熱プロセスを必要とするペロブスカイト構造酸化物等の誘電率の高い誘電体層を用いたキャパシタを内蔵させることのできる回路基板を提供できる。なお、第1の絶縁層7としてはポリイミドやエポキシ等の有機絶縁膜などが用いられ、端子メタライズ層としては、半田接続等を考えると、クロム(Cr)とニッケル(Ni)、金(Au)の積層膜、CrとNi-Cu合金の積層膜、CrとNi-W合金の積層膜、等が用いられる。

【0059】かかる構成において、各端子メタライズ層(接続端子)8、9は別の配線基板(図示せず)や半導体チップ(図示せず)に接続され、キャパシタ40を所望の素子(IC)の近傍に配設できるようになる。このため、キャパシタ40の第1の電極5と第2の電極6を電源端子や接地端子に接続することにより、デカップリングキャパシタとして使用することが可能になる。

【0060】また、本発明の適用により、誘電体層の膜厚が小さいキャパシタを歩留り良く製造できるようになり、半導体装置のスイッチングノイズの低減に有効な、インダクタンス成分の少ないデカップリングキャパシタを内蔵した回路基板を安価に提供できるようになる。

【0061】図3を用いて、第3の実施の形態を説明する。

40 【0062】図3は、第3の実施の形態の回路基板を要部断面図で示したものである。図において、3000は本発明を適用した回路基板を、12はベース基板1内に設けた導電性のビアを、11は導電性ビア12とベース基板1を絶縁する第2の絶縁層を、13は導電性薄膜パターンを、14は第1の絶縁層7上に設けられた第3の絶縁層を、100は回路基板3000の第1の主表面側を、200は回路基板3000の第2の主表面側を、示す。他の符号は図1~図2の場合と同じである。図3の場合にも、薄膜層によって構成される部分の詳細をわか



りやすくするため、符号2〜14で示した部分を拡大した。特に、膜厚方向を拡大した。

【0063】本実施の形態における回路基板3000は、キャパシタ40が第1の主表面側100のみではなく、第2の主表面側200にも形成され、ベース基板1の中に形成された導電性ビア12によって第1の主表面側100のキャパシタ4と第2の主表面側200のキャパシタ40が並列接続されている。これ以外の構成は第2の実施の形態と同じである。従って、本実施の形態の場合にも、第2の実施の形態の場合と同じ効果を得ることができる。

【0064】すなわち、次に示す効果を得ることができる。

【0065】(1)MoやTa、Wからなる高融点金属板より安価なFeを主成分とする導電性部材をベース基板とした場合にも、高い温度プロセスを必要とするペロブスカイト構造酸化物等、高い誘電率を有する誘電体層を用いたキャパシタを内蔵させることのできる回路基板を提供できる。

【0066】(2)キャパシタ40の第1の電極5と第2の電極6を電源端子や接地端子に接続することにより、デカップリングキャパシタとして使用することができる。

【0067】(3)本発明の適用により、誘電体層の膜厚が小さいキャパシタを歩留り良く製造でき、半導体装置のスイッチングノイズの低減に有効なインダクタンス成分の少ないデカップリングキャパシタを内蔵した回路基板を安価に提供できるようになる。

【0068】さらに本実施の形態の場合、第1の主表面側100のキャパシタ40と第2の主表面側200のキャパシタ40が並列接続されていることから、回路基板3000に内蔵させることのできるキャパシタの容量を第1の実施の形態の回路基板1000や第2の実施の形態の回路基板2000に比べ、大きくすることができる。

【0069】次に、図3に示した回路基板3000の製造方法について説明する。図7は、回路基板3000の製造工程の一例を要部断面図で示した工程フロー図である。

【0070】(7A)ベース基板1の表裏面へのキャパシタ40形成：図6の(6A)〜(6D)に示した第1の実施の形態と同じ工程により、42アロイ合金からなるベース基板1の第1の主表面側100と第2の主表面側200にキャパシタ40を形成する。用いる材料は第1の実施の形態の場合と同じである。すなわち、第1の導電体層2はCr膜、第2の導電体層3はITO膜、誘電体層4は(Ba,Sr)TiO<sub>3</sub>膜、第2の電極層6はCr/Cu/Cr膜である。

【0071】(7B)第1の主表面側に形成したキャパシタ40の第2の電極層6の加工：フォトリソ

等、周知の手法を用いて第2の電極層6のパターン分離を行い、第1の主表面側100に設けたキャパシタ40の第2の電極パターン6を形成する。

【0072】(7C)第1の主表面側に形成したキャパシタ40の誘電体層4の加工：フォトリソ等、周知の手法を用いて誘電体層4を加工し、誘電体層4の不要な部分を除去する。

【0073】(7D)ビア12の第1の主表面側形成：フォトリソ法やレーザ加工法等の周知の手法を用いて、第1の主表面側100の第2の導電体層3、第1の導電体層2、ベース基板1を順次加工することにより、リング状の溝15を形成し、ビア12の主表面側の部分120を形成する。なお、ここでは、ビア12の第1の主表面側の部分120の表面側に第1の導電体層2と第2の導電体層3を残しているが、これらを除去しても差し支えない。

【0074】(7E)第1の主表面側100の第2の絶縁層充填および第1の絶縁層の形成：真空ホットプレス法等、周知の手法を用い、プリブレグやRCC(Resin coatedcopper)等の有機絶縁シートをベース基板1の第1の主表面側100に貼り付け、導電性ビア12周囲の溝15の中に第2の絶縁層11の第1の主表面側の部分110を充填し、同時に、第1の主表面側100に第1の絶縁層7を形成する。なお、有機絶縁シートとしては、リング状の溝15への埋め込み性やスルーホール加工性、耐熱性を考慮して選択すればよい。また、液状の絶縁材料をディップ法や印刷法、スプレー塗布、転写法等、別の手法を用いて形成しても差し支えない。また、本実施の形態では、第2の絶縁層11と第1の絶縁層7を同一工程で、同じ材料を用いて形成しているが、これに限定されることはなく、異なる材料を用いて、別々の工程により形成しても差し支えない。

(7F)第2の主表面側200の加工および絶縁層の形成：上記(7B)〜(7E)の工程により、第2の主表面側200を加工することにより、導電性ビア12の第2の主表面側の部分を形成するとともに、第2の絶縁層11の第2の主表面側を充填し、第2の主表面側200に第1の絶縁層7を形成する。これにより、導電性ビア12と第1の絶縁層7、第2の絶縁層11が形成される。

【0075】(7G)導電性薄膜パターン13の形成：フォトリソ法やレーザ加工法等、周知の方法を用いて、第1の主表面側100および第2の主表面側200の第1の絶縁層7の中にスルーホールを形成する。次いで、スパッタ法や真空蒸着等の物理的手法、化学蒸着法、ゾルゲル法、めっき法等の周知の手法を用い、第1の主表面側100と第2の主表面側200に導電性薄膜層を成膜する。次に、フォトリソ法等の周知の手法を用いて導電性薄膜層を加工し、第1の主表面側100および第2の主表面側200に導電性薄膜パターン13を形成する。導電性薄膜パターン13に用いる材料と

しては、CuやAl等、抵抗の低い材料が好ましいが、これらに限定されるわけではない。信頼性を考慮して、材料の選択と層構成を選択すればよい。

【0076】以上の工程の後に、図7の(7G)に示した回路基板の両面を第3の絶縁層14により被覆し、所定の場所にスルーホールを形成する。次いで、第1の主表面側100の第3の絶縁層14中に設けられたスルーホール部に端子メタライズ層(接続端子)8、9を設けることにより回路基板3000が完成する。

【0077】ここで述べた回路基板の製造方法で特徴的な点は、ベース基板1の2つの主表面(第1の主表面側100および第2の主表面側200)にキャパシタ40を形成してから、ベース基板1内に該ベース基板と同じ導電性部材からなる導電性ビア12を形成し、該導電性ビア12により第1の主表面側100のキャパシタ40と第2の主表面側200のキャパシタ40を並列接続しているところにある。かかる製造方法によれば、キャパシタ40の形成温度を高くしながら、ベース基板1内への導電性ビア12の形成が可能になる。すなわち、SrTiO<sub>3</sub>や(Ba,Sr)TiO<sub>3</sub>、Pb(Zr,Ti)O<sub>3</sub>、Pb(Mg<sub>1/3</sub>Nb<sub>2/3</sub>)O<sub>3</sub>等のペロブスカイト構造酸化物からなる誘電体層を用いたキャパシタをビア付回路基板上に形成する場合、600℃以上の高温プロセスの適用が可能になる。

【0078】以上述べたように、本実施の形態によれば、MoやTa、W等からなる高融点金属板より安価なFeを主成分とする導電性部材をベース基板としながら、600℃以上の高温プロセスにより形成したペロブスカイト構造酸化物等、誘電率の高い誘電体層を用いたキャパシタをベース基板1の両面に設けた、ビア付の回路基板を提供できる。

【0079】なお、本実施の形態では、ベース基板1内の導電性ビア12をベース基板1と同じ部材により形成しているが、これに限定されるものではない。ベース基板1にスルーホールを設け、第2の絶縁層11を充填してから、再びスルーホールを開口し、該スルーホールにCu等、別の材料を充填することによって導電性ビア12を形成しても差し支えない。

【0080】次に、第4の実施の形態を図4を用いて説明する。

【0081】図4は、その要部断面図で示したものである。図において、4000は本発明を適用した回路基板を示し、その他の符号は図1～図3の場合と同じである。回路基板4000では、キャパシタ40の第1の電極層5に接続される端子メタライズ層8と第2の電極層6に接続される端子メタライズ層9が第1の主表面側100と第2の主表面側200の両面に形成されている。第1の主表面側100および第2の主表面側200に設けられた端子メタライズ層8は導電性のベース基板1により接続され、端子メタライズ層9は導電性のビア12

により接続されている。第1の絶縁層7や第2の絶縁層11、第3の絶縁層14としては、ポリイミドやエポキシ等の有機絶縁膜が用いられる。端子メタライズ層8、9としては、半田接続等を考えた場合、CrとNi、Auの積層膜やCrとNi-Cu合金の積層膜、CrとNi-W合金の積層膜などが用いられる。

【0082】図4の場合にも、薄膜層によって構成される部分の詳細をわかりやすくするため、符号2～14で示した部分を拡大した。特に、膜厚方向を拡大した。

【0083】この実施の形態は、基本的には、第2の実施の形態の回路基板2000において、ベース基板1の第1の主表面側100(キャパシタ形成面)のみならず、第2の主表面側200(キャパシタ形成面とは反対側の面)にも、他の配線基板や半導体チップとの接続端子を設けたものである。かかる構成において、第1の主表面側100接続端子(端子メタライズ層)8、9には半導体チップ(図示せず)が、その反対側の第2の主表面側200の接続端子(端子メタライズ層)8、9には別の配線基板(図示せず)が接続される。すなわち、回路基板4000はキャパシタ内蔵の中間基板(インターポーザ)として用いることができる。このため、実装密度を下げることなく、デカップリングキャパシタを半導体チップに近接して配置できる。また、本実施の形態においても、次に示す、第2の実施の形態と同じ効果が得られることは明らかである。

【0084】(1)MoやTa、Wからなる高融点金属板より安価なFeを主成分とする導電性部材をベース基板とした場合にも、高い温度プロセスを必要とするペロブスカイト構造酸化物等、高い誘電率を有する誘電体層を用いたキャパシタを内蔵させることのできる回路基板を提供できる。

【0085】(2)キャパシタ40の第1の電極層5と第2の電極層6を電源端子や接地端子に接続することにより、デカップリングキャパシタとして使用することができる。

【0086】(3)本発明の適用により、誘電体層の膜厚が小さいキャパシタを歩留り良く製造でき、半導体装置のスイッチングノイズの低減に有効なインダクタンス成分の少ないデカップリングキャパシタを内蔵した回路基板を安価に提供できるようになる。

【0087】次に、図4に示した回路基板4000の製造方法について説明する。図8は、回路基板4000の製造工程の一例を要部断面図で示した工程フロー図である。

【0088】(8A)ベース基板1の第1の主表面側100へのキャパシタ40、第1の絶縁層7、第2の絶縁層11、ビア12の形成：図7の(7A)～(7E)に示した第3の実施の形態と同じ工程により、42アロイ合金からなるベース基板1の第1の主表面側100に、キャパシタ40と、第1の絶縁層7、第2の絶縁層11、

ビア12を形成する。用いる材料は第3の実施の形態の場合と同じである。すなわち、第1の導電体層2はCr膜、第2の導電体層3はITO膜、誘電体層4は(Ba, Sr)TiO<sub>3</sub>膜、第2の電極層6はCr/Cu/Cr膜、第1の絶縁層7と第2の絶縁層11はポリイミドやエポキシ等の有機絶縁膜、ビア12はベース基板1と同一部材である。

【0089】(8B)ベース基板1の第2の主表面側200の除去：第2の主表面側200の第1の導電体層2とベース基板1の第2の主表面側200の部分を順次エッチングし、第2の誘電体層11とビア12を第2の主表面側200に露出させる。

【0090】(8C)第2の主表面側200の第1の絶縁層7の形成：真空ホットプレス法等、周知の手法を用い、ブリブレグやRCC(Resin coated copper)等の有機絶縁シートをベース基板1の第2の主表面側200に貼り付け、第2の主表面側200に第1の絶縁層7を形成する。なお、有機絶縁シートとしては、密着性や加工性、耐熱性を考慮して選択すればよい。また、液状の絶縁材料をディップコーティング法や印刷法、スプレー塗布、転写法等、別の手法を用いて形成しても差し支えない。

【0091】(8D)導電性薄膜パターン13の形成：フォトリソ法やレーザ加工法等の周知の方法を用いて、第1の主表面側100および第2の主表面側200の第1の絶縁層7の中にスルーホールを形成する。次いで、スパッタ法や真空蒸着等の物理的手法、化学蒸着法、ゾルゲル法、めっき法等の周知の手法を用い、第1の主表面側100と第2の主表面側200に導電性薄膜層を成膜する。次に、フォトリソ法等の周知の手法を用いて第1の主表面側100および第2の主表面側200に導電性薄膜パターン13を形成する。導電性薄膜パターン13に用いる材料としては、CuやAl等、抵抗の低い材料が好ましいが、これらに限定されるわけではない。信頼性を考慮して、材料の選択と層構成を選択すればよい。

【0092】以上の工程の後に、図8の(8D)に示した回路基板の両面を第3の絶縁層14により被覆し、所定の場所にスルーホールを形成する。次いで、第3の絶縁層14中に設けられたスルーホール部に端子メタライズ層(接続端子)8、9を設けることにより、本実施の形態による回路基板4000が完成する。

【0093】ここで述べた回路基板の製造方法で特徴的な点は、ベース基板1の第1の主表面側100にキャパシタ40を形成してから、ベース基板1内に該ベース基板と同じ導電性部材からなる導電性ビア12を形成し、ベース基板1の第2の主表面側200を除去することによってビア12をベース基板1から電気的に分離しているところにある。ここで示した製造方法によれば、第3の実施の形態と同じく、キャパシタ40の形成温度を高

くしながら、ベース基板1内への導電性ビア12の形成が可能になる。すなわち、SrTiO<sub>3</sub>や(Ba, Sr)TiO<sub>3</sub>、Pb(Zr, Ti)O<sub>3</sub>、Pb(Mg<sub>1/3</sub>, Nb<sub>2/3</sub>)O<sub>3</sub>等のペロブスカイト構造酸化物からなる誘電体層を用いたキャパシタをビア付回路基板上に形成する場合、600℃以上の高温プロセスの適用が可能になる。また、ビア12のベース基板1からの電気的な分離をベース基板1の第2の主表面側200の除去で行っているため、第3の実施の形態に比べて、工程が簡略化されている。

【0094】以上述べたように、本実施の形態によれば、MoやTa、Wからなる高融点金属板より安価なFeを主成分とする導電性部材をベース基板1としながら、誘電率の高いペロブスカイト構造酸化物を誘電体層4としたキャパシタ40を内蔵させることのできる、インターポーザに適した、回路基板を提供できる。

【0095】なお、本実施の形態では、ベース基板1内の導電性ビア12をベース基板1と同じ部材により形成しているが、これに限定されるものではない。ベース基板1にスルーホールを設け、第2の絶縁層11を充填してから、再びスルーホールを開口し、Cu等別の材料を該スルーホールに充填することによって導電性ビア12を形成しても差し支えない。

【0096】次に、第5の実施の形態を以下に説明する。

【0097】図5は、第5の実施の形態を要部断面図で示したものである。図において、5000は本発明を適用した回路基板を示し、その他の符号は図1～図4の場合と同じである。回路基板5000では、ベース基板1の両面にキャパシタ40が設けられており、該キャパシタ40の第1の電極層5に接続される端子メタライズ層8と第2の電極層6に接続される端子メタライズ層9が第1の主表面側100と第2の主表面側200の両面に形成されている。第1の主表面側100および第2の主表面側200に設けられた端子メタライズ層8は導電性のベース基板1により接続され、端子メタライズ層9は導電性のビア12により接続されている。図5の場合にも、薄膜層によって構成される部分の詳細をわかりやすくするため、符号2～14で示した部分を拡大した。特に、膜厚方向を拡大した。

【0098】この実施の形態は、基本的には第4の実施の形態と同じであり、キャパシタ40が第1の主表面側100のみではなく、第2の主表面側200にも形成され、ベース基板1の中に形成された導電性ビア12によって第1の主表面側100のキャパシタ4と第2の主表面側200のキャパシタ40が並列接続されている点が異なっているだけである。また、本実施の形態における回路基板5000は第3の実施の形態で示した製造工程によって製造できる。すなわち、この実施の形態は、第4の実施の形態と第3の実施の形態を組合わせたもので

ある。従って、本実施の形態では、第4の実施の形態で得られた効果と、第3の実施の形態で得られた効果を得ることができる。すなわち、次の効果を得ることができる。

【0099】(1)MoやTa、Wからなる高融点金属板より安価なFeを主成分とする導電性部材をベース基板とした場合にも、高い温度プロセスを必要とするペロブスカイト構造酸化物等、高い誘電率を有する誘電体層を用いたキャパシタを内蔵させることのできる回路基板を提供できる。

【0100】(2)キャパシタ40の第1の電極層5と第2の電極層6を電源端子や接地端子に接続することにより、デカップリングキャパシタとして使用することができる。

【0101】(3)本発明の適用により、誘電体層の膜厚が小さいキャパシタを歩留り良く製造でき、半導体装置のスイッチングノイズの低減に有効なインダクタンス成分の少ないデカップリングキャパシタを内蔵した回路基板を安価に提供できるようになる。

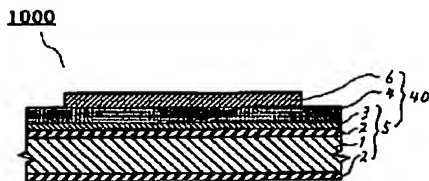
【0102】(4)キャパシタ内蔵の回路基板をインターポーザとして提供できる。

【0103】(5)キャパシタをベース基板の両面に形成することにより、回路基板に内蔵するキャパシタの容量を大きくできる。

【0104】

【発明の効果】以上のように、本発明によれば、MoやTa、Wからなる高融点金属板より安価なFeを主成分とする導電性部材をベース基板とした場合にも、高い温度プロセスを必要とするペロブスカイト構造酸化物等、高い誘電率を有する誘電体層を用いたキャパシタを内蔵させることのできる回路基板を提供できる。この回路基板のベース基板内に導電性のビアを通すことにより、キャパシタ内蔵の回路基板をインターポーザとして提供でき、更に、表裏面に形成したキャパシタを並列接続する\*

【図1】



1…ベース基板、2…第1の誘電体層、3…第2の誘電体層  
4…誘電体層、5…第1の電極層、6…第2の電極層  
40…キャパシタ、1000…回路基板

\*ことにより回路基板に内蔵するキャパシタの容量も大きくできる。また、本発明の適用により、誘電体層の膜厚が小さく、インダクタンス成分の少ないキャパシタを歩留り良く製造できるので、内蔵キャパシタをデカップリングキャパシタとして用いることにより、スイッチングノイズを低減した半導体装置を提供できる。

【図面の簡単な説明】

【図1】第1の実施の形態を示すキャパシタ内蔵回路基板の要部断面図である。

10 【図2】第2の実施の形態を示すキャパシタ内蔵回路基板の要部断面図である。

【図3】第3の実施の形態を示すキャパシタ内蔵回路基板の要部断面図である。

【図4】第4の実施の形態を示すキャパシタ内蔵回路基板の要部断面図である。

【図5】第5の実施の形態を示すキャパシタ内蔵回路基板の要部断面図である。

【図6】第1の実施の形態で示したキャパシタ内蔵回路基板の製造工程例を説明するための工程フロー図である。

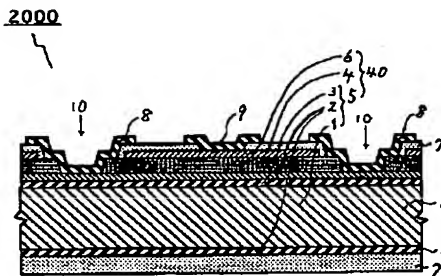
20 【図7】第3の実施の形態で示したキャパシタ内蔵回路基板の製造工程例を説明するための工程フロー図である。

【図8】第4の実施の形態で示したキャパシタ内蔵回路基板の製造工程例を説明するための工程フロー図である。

【符号の説明】

1…ベース基板、2…第1の導体層、3…第2の導体層、4…誘電体層、5…第1の電極層、6…第2の電極層、7、11、14…絶縁層、8、9…端子メタライズ層(接続端子)、10…スルーホール、12…ビア、13…導電性薄膜パターン、40…キャパシタ、1000、2000、3000、4000、5000…キャパシタ内蔵回路基板

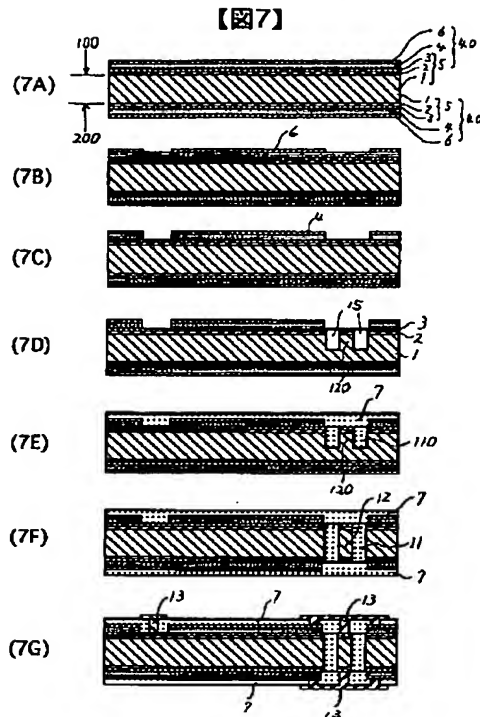
【図2】



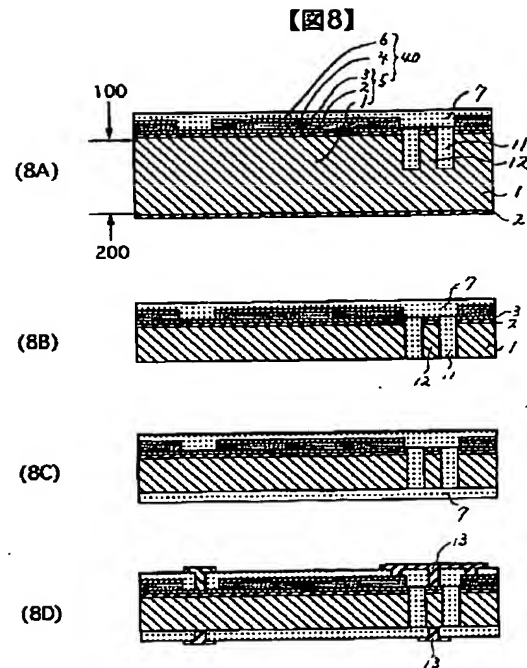
7…第1の絶縁層、8,9…端子メタライズ層、10…スルーホール、2000…回路基板



【図7】



【図8】



フロントページの続き

(51)Int.Cl.<sup>7</sup>H05K 1/09  
1/16

識別記号

F I

H01L 23/12  
H01G 4/06

ターマード (参考)

B

102

(72)発明者 阿部 洋一

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

(72)発明者 松嶋 直樹

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

(72)発明者 長谷部 健彦

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

Fターム(参考) 4E351 AA14 BB01 BB03 BB23 BB24

BB26 BB29 BB31 BB32 BB38

CC08 CC10 DD02 DD05 DD06

DD11 DD14 DD17 DD19 DD20

DD31 DD35 DD37 DD42 GG04

GG06

5E001 AB03 AB06 AC04 AE01 AE02

AE03 AH01 AH02 AH03 AJ01

AJ02

5E082 AB01 AB03 EE05 EE35 FF05

FG03 FG26 FG42 LL02 PP06

5E315 AA05 BB01 BB02 BB03 BB05

BB09 CC16 DD13 GG07